


INPUT/OUTPUT INTERFACE CIRCUIT AND SEMICONDUCTOR SYSTEM

Patent number: JP11085345
Publication date: 1999-03-30
Inventor: URAKAWA YUKIHIRO
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- international: G06F3/00; H03H11/28; H04L29/10
- european: H03K19/0185R
Application number: JP19970237346 19970902
Priority number(s): JP19970237346 19970902

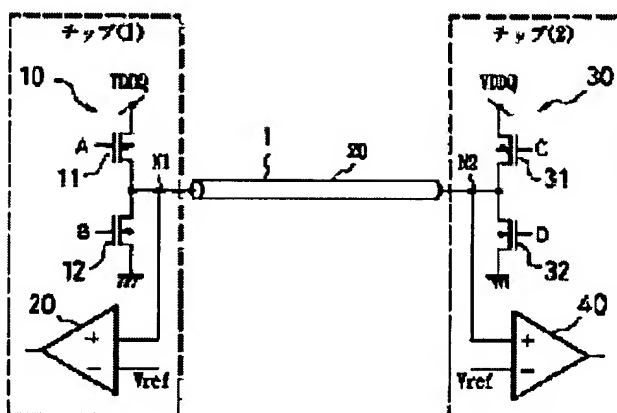
Also published as:

 US 6278300 (B1)

[Report a data error here](#)

Abstract of JP11085345

PROBLEM TO BE SOLVED: To provide an inexpensive input/output interface circuit unnecessary to provide a terminal resistor on a board. **SOLUTION:** The input/output interface circuit is provided with a push-pull output buffer constituted of a first driving element 11 connected between an input/output node connected to an outer circuit through a transmission line 1 and a first potential node to which first potential is applied and a second driving element 12 connected between a second potential node, to which second potential is applied, and the input/output node and it controls the on/off state of the first and second driving elements 11 and 12 in accordance with an input mode inputting the signal from the outer circuit through the transmission line 1 and an output mode outputting the signal to the outer circuit. In such a case, first or second potential is set to be terminal potential and the driving element of a terminal potential-side in the first and second driving elements 11 and 12 is controlled to be in the on state at the time of the input mode.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-85345

(43)公開日 平成11年(1999) 3月30日

(51)Int.Cl.⁶

識別記号

F I

G 0 6 F 3/00

G 0 6 F 3/00

K

H 0 3 H 11/28

H 0 3 H 11/28

H 0 4 L 29/10

H 0 4 L 13/00

3 0 9 Z

審査請求 未請求 請求項の数8 OL (全 14 頁)

(21)出願番号 特願平9-237346

(22)出願日 平成9年(1997) 9月2日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 浦川 幸宏

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

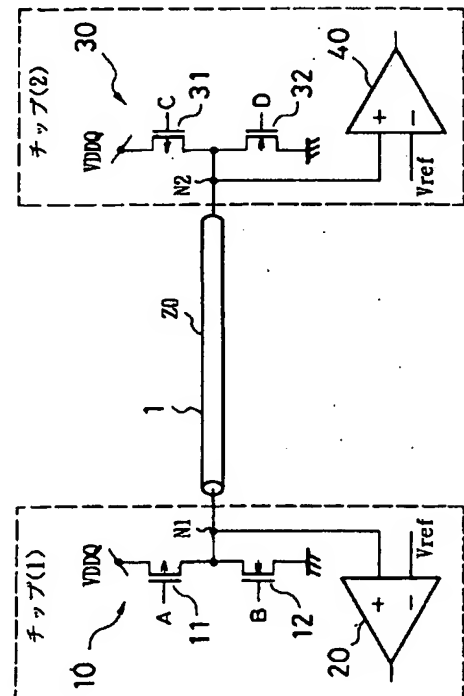
(74)代理人 弁理士 三好 秀和 (外3名)

(54)【発明の名称】 入出力インターフェース回路及び半導体システム

(57)【要約】

【課題】 ボード上に終端抵抗を設ける必要がない低コストな入出力インターフェース回路を提供する。

【解決手段】 伝送線を介して外部回路に接続された入出力ノードと第1の電位が印加される第1の電位ノードとの間に接続された第1の駆動素子と、第2の電位が印加される第2の電位ノードと前記入出力ノードとの間に接続された第2の駆動素子とから成るブッシュブル出力バッファを有し、前記伝送線を介して前記外部回路から信号を入力する入力モードと前記外部回路へ信号を出力する出力モードとに応じて前記第1及び第2の駆動素子のオン／オフ状態を制御する入出力インターフェース回路において、前記第1または第2の電位を終端電位とし、前記入力モード時に、前記第1及び第2の駆動素子のうち終端電位側の駆動素子をオン状態に制御する。



【特許請求の範囲】

【請求項1】 伝送線を介して外部回路に接続された入出力ノードと第1の電位が印加される第1の電位ノードとの間に接続された第1の駆動素子と、第2の電位が印加される第2の電位ノードと前記入出力ノードとの間に接続された第2の駆動素子とから成るプッシュプル出力バッファを有し、前記伝送線を介して前記外部回路から信号を入力する入力モードと前記外部回路へ信号を出力する出力モードとに応じて前記第1及び第2の駆動素子のオン/オフ状態を制御する入出力インターフェース回路において、

前記第1または第2の電位を終端電位とし、前記入力モード時に、前記第1及び第2の駆動素子のうち終端電位側の駆動素子をオン状態に制御する構成にしたことを特徴とする入出力インターフェース回路。

【請求項2】 第1及び第2の電位が供給され、出力ノードが伝送線を介して外部回路に接続されたプッシュプル出力バッファと、

前記プッシュプル出力バッファの出力ノードと終端電位である第3の電位との間に接続されたスイッチ素子とを備え、

前記伝送線を介して前記外部回路から信号を入力する入力モード時に前記スイッチ素子をオン状態に制御する構成にしたことを特徴とする入出力インターフェース回路。

【請求項3】 外部回路と第1及び第2の伝送線を介してそれぞれ接続された第1及び第2のプッシュプル出力バッファと、前記第1と第2のプッシュプル出力バッファの出力ノード間に接続されたスイッチ素子とを備え、

前記伝送線を介して前記外部回路から信号を入力する入力モード時に、前記スイッチ素子をオン状態に制御する構成にしたことを特徴とする入出力インターフェース回路。

【請求項4】 請求項1または請求項2記載の入出力インターフェース回路を有する複数チップが伝送線を介して接続された半導体システムにおいて、

請求項1または請求項2記載のプッシュプル出力バッファのレプリカと、

出力論理電位を発生する基準電位発生回路と、
前記レプリカの出力端に接続された外部ピンと第2の電位との間に接続したボード上のインピーダンス素子と、
前記インピーダンス素子が接続された前記外部ピンに現出する電位と前記基準電位発生回路の出力電位とを比較し、その比較結果に基づいて前記プッシュプル出力バッファにおける終端電位側の駆動素子のインピーダンス値を決定する第1の素子インピーダンス決定手段と、
前記伝送線の出力論理電位と前記基準電位発生回路の出力電位とを比較し、その比較結果に基づいて前記プッシュプル出力バッファの残りの駆動素子のインピーダン

ス値を決定する第2の素子インピーダンス決定手段とを前記各チップの入出力インターフェース回路にそれぞれ設けたことを特徴とする半導体システム。

【請求項5】 前記半導体システムが複数接続され、互いに出力インピーダンスを伝達経路のインピーダンスに整合するように制御する制御手段を有することを特徴とする請求項4記載の半導体システム。

【請求項6】 前記制御機能をブート時および所定時に行うシーケンサを具備したことを特徴とする請求項5に記載の半導体システム。

【請求項7】 請求項3記載のプッシュプル出力バッファのレプリカを2つ備え、
出力論理電位を発生する基準電位発生回路と、
前記各レプリカの出力端に接続された外部ピンと第2の電位との間に挿入したボード上のインピーダンス素子と、

前記インピーダンス素子が接続された前記外部ピンに現出する電位と前記基準電位発生回路の出力電位とを比較し、その比較結果に基づいて前記プッシュプル出力バッファにおける終端電位側の駆動素子のインピーダンス値を決定する素子インピーダンス決定手段とを具備したことを特徴とする入出力インターフェース回路。

【請求項8】 前記インピーダンス素子は、前記伝送線のインピーダンスに等しい値であることを特徴とする請求項4または請求項7記載の入出力インターフェース回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高速なデータ転送が可能な入出力インターフェース回路、及びこれを有する複数チップを搭載した半導体システムに関するものである。

【0002】

【従来の技術】近年、マイクロプロセッサを初めとする高性能LSIは、急激に性能を上げてきている。その高性能化を支えるのは、プロセスのスケールアップやパイプライン手法の導入による内部クロックの高周波数化である。

【0003】一方、チップ間の信号転送は、チップ内部のクロック高周波数化に十分に対応できないのが現状である。従来から用いられてきたTTL/LV-TTL入出力インターフェースでは、クロストークやSSN (Simultaneous Signal Switching Noise) あるいは伝送線路での信号の反射などの問題により、100MHzを超える高周波数での信号伝送は実現性が低い。したがって、TTL/LV-TTLなどのインターフェースが高性能LSIの性能ボトルネックになっている。

【0004】チップ間の信号伝送速度が上がらないと、バンド幅確保のため多ピン化せざるを得なく、製造や実

3

装面、あるいはボードのコストなどに大きな影響を及ぼす。したがって高性能LSIでは、高速信号伝送の可能な入出力インターフェースの導入が進みつつある。

【0005】従来一般的に用いられてきたTTL/LV-TTLの入出力インターフェースを図8に示す。同図(a)はその構成図、同図(b)は“H”レベル伝送時の電位波形図、同図(c)は“H”レベル伝送時の電流波形図である。

【0006】伝送線路101を介してTTLのチップ110からLV-TTLのチップ120へ例えば“H”レベルを伝送するときは、チップ110側の入出力バッファ111を構成するPチャンネルMOSFET112とNチャンネルMOSFET113が共にオン状態になる。これによって、伝送線路101に流れる電流は、同図(c)に示すように変化し、電流量の収束に伴い、電位は同図(b)に示すようにVDDQレベルに安定する。そして、チップ120側では、この伝送線路101の“H”レベル信号を差動アンプ121で受信することになる。

【0007】この入出力インターフェースでは、入力モードのチップ120側が開放端となるため、伝送線路101には信号の反射が生じて伝送波形が乱れる。さらに、論理振幅が大きいと、高速に動作させると dI/dt に起因したノイズが発生する。このため、高速な入出力インターフェースでは、伝送線路の終端を行うのが一般的である。

【0008】図9(a)～(e)は、従来の各種終端系の高速度インターフェース回路を示す構成図であり、同図(a)はGTL/RSLLインターフェース、同図(b)はプッシュプル型HSTLインターフェース、同図(c)はSSTLインターフェース、同図(d)はCCTインターフェース、及び同図(e)はLVDSインターフェースである。

【0009】いずれも、終端抵抗201、301、401、501、601をチップ(2)近傍のボード上に実装している結果、チップ(1)からチップ(2)に信号を伝送する場合に、入力モードであるチップ(2)のバッファ部分での信号の反射が抑えられる。また、論理振幅が小さい上、 dI/dt も小さくできるので、ノイズの発生も少ない。

【0010】図10は、特開平8-204539号公報に開示された従来の高速インターフェース回路を示す構成図である。

【0011】同図において、710は伝送線路、711～714は終端抵抗、720～750はチップ、731は抵抗素子制御手段、732、733はN-MOSFETから成るオンチップ終端抵抗手段である。

【0012】オープンドレイン系の入出力インターフェース回路であると、“L”レベルから“H”レベルへ駆動した場合に伝送線路で反射が大きくなるため、本例で

4

は、信号送信側をプッシュプルバッファ(オンチップ終端抵抗手段732、733)で相補的に駆動するようにし、伝送線路710の送信側チップ端でオープンにならないようにしたものである。

【0013】

【発明が解決しようとする課題】しかしながら、上記従来の入出力インターフェース回路では、開放端による反射を防止するためボード上に終端抵抗を設ける必要があり、コスト高になるという問題があった。

10 【0014】上記図9(a)～(e)に示した各例では、2チップ間で一方に信号を転送する場合を想定して説明したが、2チップ間で双方向に信号を転送する場合では、各チップ近傍で終端抵抗を挿入(パラレル終端)する必要がある。これは、チップ(2)からチップ(1)への信号転送を行う場合には、チップ(1)側が開放端となってしまう、反射による波形の乱れが発生するからである。このようなパラレル終端であれば、従来例では2個の終端抵抗がボード上に必要になる。

20 【0015】さらに、通常のシステムにおいては、従来例で示したようなポイント・ツウ・ポイント接続のほか、伝送線路が分岐した分岐接続/スタブ接続もよく用いられる。このような場合に、開放端による反射を防止するためパラレル終端を行うとすると、従来例の場合はチップの個数分だけの終端抵抗をボードに実装する必要がある。

【0016】上記公報の例でも、同様に伝送線路上の終端抵抗711～714を除去することができない。

30 【0017】このように、従来技術では、終端系の高速度な入出力インターフェース回路を実現しようとした場合に、ボード上に終端抵抗を設ける必要があり、システムコスト等の点で問題があった。

【0018】本発明は、上述の如き従来の問題点を解決するためになされたもので、その目的は、ボード上に終端抵抗を全く設ける必要がない低コストな入出力インターフェース回路を提供することである。またその他の目的は、プッシュプル出力バッファと伝送線路とのインピーダンス整合を自動的に行うことができる半導体システムを提供することである。

【0019】

40 【課題を解決するための手段】上記目的を達成するために、第1の発明である入出力インターフェース回路の特徴は、伝送線路を介して外部回路に接続された入出力ノードと第1の電位が印加される第1の電位ノードとの間に接続された第1の駆動素子と、第2の電位が印加される第2の電位ノードと前記入出力ノードとの間に接続された第2の駆動素子とから成るプッシュプル出力バッファを有し、前記伝送線路を介して前記外部回路から信号を入力する入力モードと前記外部回路へ信号を出力する出力モードとに応じて前記第1及び第2の駆動素子のオン/オフ状態を制御する入出力インターフェース回路に

において、前記第1または第2の電位を終端電位とし、前記入力モード時に、前記第1及び第2の駆動素子のうち終端電位側の駆動素子をオン状態に制御する構成にしたことにある。

【0020】この第1の発明によれば、入力モードとなるプッシュプル出力バッファの終端電位側の駆動素子は常にオン状態に制御されるので、該駆動素子が伝送線路の終端素子としての役割も果たし、伝送線路での信号の反射を吸収する。

【0021】第2の発明である入出力インターフェース回路の特徴は、第1及び第2の電位が供給され、出力ノードが伝送線路を介して外部回路に接続されたプッシュプル出力バッファと、前記プッシュプル出力バッファの出力ノードと終端電位である第3の電位との間に接続されたスイッチ素子とを備え、前記伝送線路を介して前記外部回路から信号を入力する入力モード時に前記スイッチ素子をオン状態に制御する構成にしたことにある。

【0022】この第2の発明によれば、入力モード時には、終端電位に接続されたスイッチ素子がオン状態に制御されるので、伝送線路は終端され、伝送線路での信号の反射が吸収される。

【0023】第3の発明である入出力インターフェース回路の特徴は、外部回路と第1及び第2の伝送線路を介してそれぞれ接続された第1及び第2のプッシュプル出力バッファと、前記第1と第2のプッシュプル出力バッファの出力ノード間に接続されたスイッチ素子とを備え、前記伝送線路を介して前記外部回路から信号を入力する入力モード時に、前記スイッチ素子をオン状態に制御する構成にしたことにある。

【0024】この第3の発明によれば、入力モード時には、2つのプッシュプル出力バッファの出力ノード間に接続されたスイッチ素子がオン状態に制御されるので、伝送線路は終端され、伝送線路での信号の反射が吸収される。

【0025】第4の発明である半導体システムの特徴は、上記第1または第2の発明の入出力インターフェース回路を有する複数チップが伝送線路を介して接続された半導体システムにおいて、上記第1または第2の発明のプッシュプル出力バッファのレプリカと、出力論理電位を発生する基準電位発生回路と、前記レプリカの出力端に接続された外部ピンと第2の電位との間に接続したボード上のインピーダンス素子と、前記インピーダンス素子が接続された前記外部ピンに現出する電位と前記基準電位発生回路の出力電位とを比較し、その比較結果に基づいて前記プッシュプル出力バッファにおける終端電位側の駆動素子のインピーダンス値を決定する第1の素子インピーダンス決定手段と、前記伝送線路の出力論理電位と前記基準電位発生回路の出力電位とを比較し、その比較結果に基づいて前記プッシュプル出力バッファの残りの駆動素子のインピーダンス値を決定する第2の素

子インピーダンス決定手段とを前記各チップの入出力インターフェース回路にそれぞれ設けたことにある。

【0026】この第4の発明によれば、外部ピンと第2の電位との間に接続したボード上のインピーダンス素子を用いて、プッシュプル出力バッファにおける終端電位側の駆動素子のインピーダンス値を決定する。さらに、伝送線路の出力論理電位をモニタし、プッシュプル出力バッファの残りの駆動素子のインピーダンス値を決定する。これにより、適正な出力電位を発生するようにプッシュプル出力バッファの駆動素子のインピーダンス値を制御することができる。

【0027】第5の発明である入出力インターフェース回路の特徴は、上記第3の発明のプッシュプル出力バッファのレプリカを2つ備えると共に、出力論理電位を発生する基準電位発生回路と、前記各レプリカの出力端に接続された外部ピンと第2の電位との間に挿入したボード上のインピーダンス素子と、前記インピーダンス素子が接続された前記外部ピンに現出する電位と前記基準電位発生回路の出力電位とを比較し、その比較結果に基づいて前記プッシュプル出力バッファにおける終端電位側の駆動素子のインピーダンス値を決定する素子インピーダンス決定手段とを具備したことにある。

【0028】この第5の発明によれば、上記第3の発明のインターフェース形態において、上記第4の発明と同等のインピーダンス自動調整機能が働く。

【0029】第6の発明である入出力インターフェース回路の特徴は、上記第4または第5の発明において、前記インピーダンス素子は、前記伝送線路のインピーダンスに等しい値としたことにある。

【0030】この第6の発明によれば、プッシュプル出力バッファの駆動素子は、伝送線路とのインピーダンス整合を自動的にとることができる。

【0031】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。図1は、本発明の第1実施形態に係る入出力インターフェース回路（プッシュプル型HSTLインターフェース）を示す構成図である。

【0032】本実施形態では、説明を簡単に行うため、2チップ間のポイント・トゥ・ポイントで双方向のデータ転送を行う場合を想定している。

【0033】図1に示すように、チップ(1)とチップ(2)は、インピーダンスZ0の伝送線路1を介して接続されている。本実施形態のプッシュプル型HSTLインターフェースについて、チップ(1)側の構成は、信号出力用のプッシュプル出力バッファ10と信号入力用の差動アンプ20とを備え、同様にチップ(2)側でも、信号出力用のプッシュプル出力バッファ30と信号入力用の差動アンプ40とを備えている。

【0034】チップ(1)側のプッシュプル出力バッファ10は、伝送線路1の一端が接続された入出力ノード

N1とVDDQ電位（第1の電位）との間に接続されたPチャンネルMOSFET11と、グラウンドGND電位（第2の電位）と前記入出力ノードN1との間に接続されたNチャンネルMOSFET12とから構成されている。

【0035】チップ（2）側のプッシュプル出力バッファ30も同様にして、伝送線路1の他端が接続された入出力ノードN2とVDDQ電位との間に接続されたPチャンネルMOSFET31と、グラウンドGND電位と前記入出力ノードN2との間に接続されたNチャンネルMOSFET32とから構成されている。

【0036】また、チップ（1）側の入出力ノードN1には、差動アンプ20の正極端子（+）が接続され、その負極端子（-）には基準電位Vrefが印加される。同様に、チップ（2）側の入出力ノードN2にも差動アンプ40の正極端子（+）が接続され、その負極端子（-）には基準電位Vrefが印加される。さらに、各差動アンプ20、40の出力端がそれぞれチップ（1）、（2）の内部回路（図示省略）に接続されている。

【0037】そして、チップ（1）側出力バッファ10のFET11、12は、それぞれ制御信号A、Bによってオン／オフ制御され、チップ（2）側出力バッファ30のFET31、32は、それぞれ制御信号C、Dによってオン／オフ制御されるようになっている。本発明では、この出力バッファの制御方法に工夫を凝らすことにより、ボード上に終端素子を実装することなく、高性能なプッシュプル型HSTLインターフェースを実現するものである。

【0038】以下、出力バッファ10、30の制御方法を中心に本実施形態のデータ転送動作[A]、[B]を具体的に説明する。

【0039】[A]チップ（1）からチップ（2）へのデータ転送

チップ（1）からチップ（2）へデータを転送する場合は、各チップ（1）、（2）の出力バッファ10、30は、それぞれ出力モード（アクティブ）、入力モード（ディセーブル）に設定される。

【0040】論理“H”のデータ転送の場合は、制御信号Aは“L”レベルに、制御信号Bは“H”レベルになる。同時に、制御信号C、Dは共に“L”レベルとなる。その結果、出力バッファ10のFET11、12は共にオン状態になり、また出力バッファ30のFET31はオン状態に、FET32はオフ状態になる。

【0041】論理“L”のデータを転送する場合では、制御信号Aは“H”レベル、制御信号Bは“L”レベルになると同時に、制御信号C、Dは共に“L”レベルになる。その結果、出力バッファ10のFET11、12は共にオフ状態となり、出力バッファ30のFET31はオン状態にFET32はオフ状態になる。

【0042】[B]チップ（2）からチップ（1）へのデータ転送

チップ（2）からチップ（1）へデータを転送する場合は、各チップ（1）、（2）の出力バッファ10、30がそれぞれ入力モード、出力モードに設定される。

【0043】論理“H”のデータ転送の場合は、制御信号A、Bは共に“L”レベルになる。同時に、制御信号Cは“L”レベルに、制御信号Dは“H”レベルになる。その結果、出力バッファ10のFET11はオン状態に、FET12はオフ状態になる。また出力バッファ30のFET31、32は共にオン状態になる。

【0044】論理“L”のデータを転送する場合では、制御信号A、Bは共に“L”レベルになると同時に、制御信号Cは“H”レベルに、制御信号Dは“L”レベルになる。その結果、出力バッファ10のFET11はオン状態に、FET12はオフ状態になる。また出力バッファ30のFET31、32は共にオフ状態になる。

【0045】このように、入力モードとなるチップ側のプッシュプル素子（FET11、31）が常にオン状態に制御されている。これにより、このプッシュプル素子のオン抵抗によって、該プッシュプル素子が伝送線路1のVDDQへの終端素子としての役割も果たすことになる。つまり、入力モードのチップ側でオープンにならないように制御される。

【0046】したがって、前述した従来のプッシュプル型HSTLインターフェースでは信号の反射防止用としてボード上に終端抵抗を付加する必要があったが、本実施形態では、この終端抵抗を付加することなく、高性能なプッシュプル型HSTLインターフェースを実現することが可能になる。

【0047】ここで、伝送線路1での信号の反射を考慮して、各出力バッファ10、30のFET11、12、31、32は、伝送線路1とのインピーダンス整合をとることが望ましい。理想的な場合は、出力論理レベルと出力電流が次のようになる。

【0048】すなわち、論理“H”を出力する場合には、出力電位（Typical）はVDDQ、出力電流は0となる。論理“L”を出力する場合には、出力電位（Typical）はVDDQ/2、出力電流はVDDQ/(2*Z0)となる。但し、Z0は伝送線路1のインピーダンスである。

【0049】ところで、2チップ間で双方向に信号を転送を行う場合、各チップ近傍で終端抵抗を挿入（パラレル終端）するのが理想的である。これは、前述の図9（b）のHSTLインターフェースの例で、チップ（2）からチップ（1）への信号転送を行う場合にチップ（1）側が開放端となってしまう、反射による波形の乱れが発生するからである。パラレル終端であれば、従来例では2個の終端抵抗がボード上に必要になる。

【0050】これに対して、本実施形態では、データ受

信側が常に終端される様に制御されるので、伝送線路上に終端抵抗は全く不要となる。さらには、出力電流も削減でき、パワーの増大を抑えることもできる。

【0051】この出力電流削減の効果を具体的に述べると、出力電流は、論理“H”を出力する場合には本実施形態も従来例も共に0となるが、論理“L”を出力する場合には本実施形態で $VDDQ/(2 \cdot Z0)$ となり、従来例では $VDDQ/Z0$ となる。

【0052】上述の説明では、終端電位を $VDDQ$ にすることを前提にしたが、終端電位をGNDにすることもでき、その場合の動作は以下の様になる。

【0053】チップ(1)からチップ(2)へ論理“H”のデータを転送する場合は、制御信号Aは“L”レベルに、制御信号Bは“H”レベルになる。同時に、制御信号C、Dは共に“H”レベルとなる。その結果、出力バッファ10のFET11、12は共にオン状態になり、また出力バッファ30のFET31はオフ状態に、FET32はオン状態になる。

【0054】論理“L”のデータを転送する場合は、制御信号Aは“H”レベル、制御信号Bは“L”レベルになると同時に、制御信号C、Dは共に“H”レベルになる。その結果、出力バッファ10のFET11、12は共にオフ状態となり、出力バッファ30のFET31はオフ状態にFET32はオン状態になる。

【0055】チップ(2)からチップ(1)へ論理“H”のデータを転送する場合は、制御信号A、Bは共に“H”レベルになる。同時に、制御信号Cは“L”レベルに、制御信号Dは“H”レベルになる。その結果、出力バッファ10のFET11はオフ状態に、FET12はオン状態になる。また出力バッファ30のFET31、32は共にオン状態になる。

【0056】論理“L”のデータを転送する場合は、制御信号A、Bは共に“H”レベルになると同時に、制御信号Cは“L”レベルに、制御信号Dは“H”レベルになる。その結果、出力バッファ10のFET11はオフ状態に、FET12はオン状態になる。また出力バッファ30のFET31、32は共にオフ状態になる。

【0057】このように、入力モードとなる出力バッファのブルダウン素子(FET12、32)が常にオン状態に制御されるので、このブルダウン素子が伝送線路1のGNDへの終端素子としての役割も果たすことになる。

【0058】この場合は、出力論理レベルと出力電流の関係が次のようになることが望ましい。すなわち、論理“H”を出力する場合には、出力電位(Typical)は $VDDQ/2$ 、出力電流は $VDDQ/(2 \cdot Z0)$ となる。論理“L”を出力する場合には、出力電位(Typical)はGND、出力電流は0となる。

【0059】なお、図2に示すように、伝送線路端と、各チップ(1)、(2)の入出力ノードN1、N2との

間にそれぞれ抵抗Roが挿入されたSSTLインターフェースをベースにしても、同様の制御を行えば終端抵抗をボードに実装することなく、高速な入出力インターフェースを実現できる。

【0060】次に、本発明の第2実施形態を説明する。

【0061】上記第1実施形態はポイント・ツウ・ポイント接続の例であったが、本実施形態では、分岐接続/スタブ接続の例を説明するものである。

【0062】図3は、本発明の第2実施形態に係る入出力インターフェース回路を示す構成図である。

【0063】同図に示すように、途中で2分岐した伝送線路1Aの各3つの線路端には、それぞれチップ

(1)、チップ(2)及びチップ(3)が入出力ノードN1、N2、N3を介して接続されている。ここで、入出力ノードN3に接続されたチップ(3)の出力バッファ50も、上記図1で示したチップ(1)、(2)と同様の構成を成している。すなわち、PチャネルMOSFET51とNチャネルMOSFET52からなるプッシュプル型で構成され、FET51は制御信号Eで、FET52は制御信号Fでオン/オフ制御される。60はチップ(3)の差動アンプである。

【0064】以下、出力バッファ10、30、50の制御方法を中心に本実施形態のデータ転送動作[A]、

[B]、[C]を具体的に説明する。

【0065】[A]チップ(1)からチップ(2)、(3)へのデータ転送

チップ(1)からチップ(2)とチップ(3)へデータを転送する場合は、チップ(1)の出力バッファ10は出力モードに、チップ(2)、(3)の出力バッファ30、50は共に入力モードに設定される。

【0066】論理“H”のデータ転送の場合は、制御信号Aは“L”レベル、制御信号Bは“H”レベルとなり、制御信号C、D及び制御信号E、Fは全て“L”レベルとなる。その結果、出力バッファ10のFET11、12は共にオン状態になり、また出力バッファ30のFET31はオン状態に、FET32はオフ状態になる。同様に出力バッファ50のFET51、52もそれぞれオン状態、オフ状態になる。

【0067】論理“L”のデータ転送の場合では、制御信号Aは“H”レベル、制御信号Bは“L”レベルになり、その他は“H”レベル転送の場合と同様である。その結果、出力バッファ10のFET11、12は共にオフ状態となり、その他は“H”レベル転送の場合と同様である。

【0068】[B]チップ(2)からチップ(1)、(3)へのデータ転送

チップ(2)からチップ(1)及びチップ(3)へデータを転送する場合は、チップ(2)の出力バッファ30が出力モードに、チップ(1)、(3)の出力バッファ10、50が入力モードに設定される。

11

【0069】論理“H”のデータ転送の場合は、制御信号C、Dはそれぞれ“L”レベル、“H”レベルとなり、その他の制御信号A、B及び制御信号E、Fは全て“L”レベルとなる。その結果、出力バッファ30のFET31、32は共にオン状態になり、また出力バッファ10のFET11はオン状態に、FET12はオフ状態になる。同様に出力バッファ50のFET51、52もそれぞれオン状態、オフ状態になる。

【0070】論理“L”のデータ転送の場合では、制御信号Aは“L”レベル、制御信号Bは“H”レベルになり、その他は“H”レベル転送の場合と同様である。その結果、出力バッファ30のFET31、32は共にオフ状態となり、その他は“H”レベル転送の場合と同様である。

【0071】[C]チップ(3)からチップ(1)、(2)へのデータ転送

チップ(3)からチップ(1)及びチップ(2)へデータを転送する場合は、チップ(3)の出力バッファ50が出力モードに、チップ(1)、(2)の出力バッファ10、30が入力モードに設定される。

【0072】論理“H”のデータ転送の場合は、制御信号E、Fはそれぞれ“L”レベル、“H”レベルとなり、その他の制御信号A、B及び制御信号C、Dは全て“L”レベルとなる。その結果、出力バッファ50のFET51、52は共にオン状態になり、出力バッファ10のFET11はオン状態に、FET12はオフ状態になる。同様に出力バッファ30のFET31、32もそれぞれオン状態、オフ状態になる。

【0073】論理“L”のデータ転送の場合では、制御信号E、Fはそれぞれ“H”レベル、“L”レベルとなり、その他は“H”レベル転送の場合と同様である。その結果、出力バッファ50のFET51、52は共にオフ状態となり、その他は“H”レベル転送の場合と同様である。

【0074】このように、入力モードのチップの出力バッファにおいて、終端側の電位を出力する素子をオンさせるように制御することにより、3チップ以上の分岐接続でも簡単にパラレル終端が可能となる。

【0075】これにより、開放端による反射を防止するためパラレル終端を行うとすると、従来例の場合はチップの個数分だけの終端抵抗をボードに実装する必要となったが、本実施形態では、前述した様にボード上に終端抵抗を全く実装する必要がなくなる。

【0076】ところで、出力レベルを伝送線路端でのインピーダンス整合をとり、出力論理レベルを保持するためには、出力“L”レベル駆動FETのインピーダンスZを、 $Z = Z_0 / (n - 1)$

但し、n：チップの数

Z_0 ：伝送線路1Aのインピーダンス

とする必要があり、その時の出力電流Iは、

12

$$I = V_{DDQ} * (n - 1) / (2 * Z_0)$$

となる。

【0077】なお、上記の説明では、終端電圧がVDDQである場合を例としたが、GNDを終端電位としてもよい。その際の制御は、上記第1実施形態の説明から自明であるので、ここでは省略する。

【0078】次に、本発明の第3実施形態を説明する。

【0079】本実施形態は、LVDSインターフェースをベースに本発明のコンセプトを応用したものである。

10 【0080】図4は、本発明の第3実施形態に係る入出力インターフェース回路を示す構成図である。

【0081】同図に示すように、チップ(1)とチップ(2)は、インピーダンスZ0の伝送線路1、2を介して接続されている。本実施形態の入出力インターフェース回路について、チップ(1)側の構成は、2個のプッシュプル出力バッファ10、10aと、信号入力用の差動アンプ20とを備えている。出力バッファ10、10aの入出力ノードN1、N11は、それぞれ差動アンプ20の正極端子と負極端子に接続され、さらにこの正極端子と負極端子間にはスイッチ素子であるNチャネルMOSFET21が接続されている。

【0082】また、チップ(2)側も同様の構成を成し、2個のプッシュプル出力バッファ30、30aと、信号入力用の差動アンプ40と、前記FET21に相当するスイッチ素子であるNチャネルMOSFET41とを備えている。

【0083】ここで、チップ(1)側の出力バッファ10を構成するFET11、12はそれぞれ制御信号A1、B1でオン/オフ制御され、出力バッファ10aを構成するFET11a、12aはそれぞれ制御信号A2、B2でオン/オフ制御される。また、チップ(2)側の出力バッファ30を構成するFET31、32はそれぞれ制御信号C1、D1でオン/オフ制御され、出力バッファ30aを構成するFET31a、32aはそれぞれ制御信号C2、D2でオン/オフ制御される。そして、FET21、41は、それぞれ制御信号J、Kでスイッチング制御されるようになっている。

【0084】以下、出力バッファ10、10a、30、30aの制御方法を中心に本実施形態のデータ転送動作[A]、[B]を具体的に説明する。

【0085】[A]チップ(1)からチップ(2)へのデータ転送

チップ(1)からチップ(2)へデータを転送する場合は、チップ(1)の出力バッファ10、10aは出力モードに、チップ(2)の出力バッファ30、30aは入力モードにそれぞれ設定される。

【0086】論理“H”のデータ転送の場合では、制御信号A1、B1が共に“L”レベルになり、制御信号A2、B2は共に“H”レベルになり、さらに制御信号Jは“L”レベルになる。同時に、制御信号C1、D1は

50

それぞれ“H”レベルと“L”レベルになり、制御信号C2、D2もそれぞれ“H”レベルと“L”レベルになり、さらに制御信号Kは“H”レベルになる。

【0087】その結果、出力バッファ10のFET11、12は、それぞれオン状態、オフ状態になり、出力バッファ10aのFET11a、12aはそれぞれオフ状態、オン状態になる。一方、出力バッファ30、30aの各FET31、32、31a、32aは全てオフ状態になる。

【0088】そして、チップ(1)側のFET21はオフ状態、チップ(2)側のFET41はオン状態となる。

【0089】一方、論理“L”のデータを転送する場合は、制御信号A1、B1及び制御信号A2、B2が“H”レベル転送の場合の反転になり、残りの全ての制御信号C1、D1、C2、D2、J、Kは“H”レベル転送の場合と同一になる。

【0090】その結果、出力バッファ10のFET11、12は、それぞれオフ状態、オン状態になり、出力バッファ10aのFET11a、12aはそれぞれオン状態、オフ状態になる。一方、出力バッファ30、30aの各FET31、32、31a、32aは全てオフ状態になる。そして、チップ(1)側のFET21はオフ状態、チップ(2)側のFET41はオン状態である。

【0091】[B]チップ(2)からチップ(1)へのデータ転送

チップ(2)からチップ(1)へデータを転送する場合は、チップ(1)の出力バッファ10、10aは入力モードに、チップ(2)の出力バッファ30、30aは出力モードにそれぞれ設定される。

【0092】論理“H”のデータ転送の場合では、制御信号A1、B1及び制御信号A2、B2はそれぞれ“H”レベル、“L”レベルになり、さらに制御信号Jは“H”レベルになる。同時に、制御信号C1、D1は共に“L”レベルになり、制御信号C2、D2は共に“H”レベルになり、さらに制御信号Kは“L”レベルになる。

【0093】その結果、出力バッファ10、10aの各FET11、12、11a、12aは全てオフ状態となる。一方、出力バッファ30のFET31、32はそれぞれ“H”レベル、“L”レベルとなり、出力バッファ30aのFET31a、32aはそれぞれ“L”レベル、“H”レベルとなる。

【0094】一方、論理“L”のデータを転送する場合は、制御信号C1、D1及び制御信号C2、D2が“H”レベル転送の場合の反転になり、残りの全ての制御信号A1、B1、A2、B2、J、Kは“H”レベル転送の場合と同一になる。

【0095】その結果、出力バッファ10、10aの各FET11、12、11a、12aは全てオフ状態にな

る。出力バッファ30のFET31、32は、それぞれオフ状態、オン状態になり、出力バッファ30aのFET31a、32aはそれぞれオン状態、オフ状態になる。そして、チップ(1)側のFET21はオン状態、チップ(2)側のFET41はオフ状態である。

【0096】このように、本実施形態においては、入力モード時にFET21または41がオン状態になるように制御されるので、このFETのオン抵抗により、伝送線路1、2が終端されることになる。したがって、ボード上に終端抵抗を実装する必要がなくなる。

【0097】なお、本実施形態において分岐/スタブ接続時でも、上記同様の制御により、終端抵抗をボード実装せずに高速でLVDSライクな入出力インターフェースが実現できる。

【0098】次に、本発明の第4実施形態を説明する。

【0099】本実施形態では、CTTインターフェースをベースにして本発明のコンセプトを応用した例を説明するものである。

【0100】図5は、本発明の第4実施形態に係る入出力インターフェース回路を示す構成図である。

【0101】本実施形態の構成は、上記第1実施形態の図1に示す回路において、チップ(1)側の入出力ノードN1と終端電位VTTとの間にスイッチ素子71を挿入し、同様にチップ(2)側の入出力ノードN2と終端電位VTTとの間にスイッチ素子72を挿入したものである。

【0102】本実施形態によれば、チップ(1)からチップ(2)、またはチップ(2)からチップ(1)へのデータ転送に際して、出力バッファ10、30の入力モード時にスイッチ素子71、72がオン状態になる。これにより、伝送線路1が終端されることになるので、ボード上に終端抵抗を実装する必要がなくなる。

【0103】次に、本発明の第5実施形態を説明する。

【0104】上述したように、伝送線路での信号の反射を考慮して、各出力バッファのプッシュプルトランジスタは、伝送線路とのインピーダンス整合をとることが望ましい。本実施形態は、このインピーダンス整合を自動的に行う自動インピーダンス調整機能を組み込んだ例えば上記第1実施形態の入出力インターフェース回路の例を示すものである。

【0105】図6は、本発明の第5実施形態に係る半導体システムを示す要部構成図である。

【0106】この半導体システムは、チップ(1)とチップ(2)とを有し、これらチップ(1)とチップ(2)は、それぞれの外部ピン91-0、91-1…、92-0、92-1…を介して、複数の伝送線路93-0、93-1…で接続されている。

【0107】チップ(1)側の各入出力インターフェース回路は、前記外部ピン91-0、91-1…に各々接続された出力バッファ部80-0、80-1…をそれぞ

れ備えている。各出力バッファ部80-0, 80-1…は、複数サイズのPチャンネルMOSFET (MP0, MP1, …, MPi-1, MPi) とNチャンネルMOSFET (MN0, MN1, …, MNj-1, MNj) がそれぞれブッシュアップ接続された出力バッファと、これらP-MOSFET (MP0~MPi) 及びN-MOSFET (MN0~MNj) をそれぞれ駆動する駆動回路81, 82とを備えている。

【0108】ここで、各MOSFETのサイズは、最小サイズのMOSFET (MP0), (MN0) のサイズをそれぞれWP0, WN0として、

【数1】 $Tr. Size (MPk) = 2^k * WP0$ ($k = 0, 1, \dots, i$)

$Tr. Size (MNk) = 2^k * WN0$ ($k = 0, 1, \dots, j$)

とする。

【0109】一方、チップ(1)には、上記出力バッファ部のレプリカ(複製)83が1個形成されているほか、基準電位発生回路84が設けられている。基準電位発生回路84は、チップ内部で抵抗分割して作られた論理“L”出力(=VDDQ/2) VOLを出力する。レプリカ(複製)84には、外部ピン94が接続されている。

【0110】終端電源をVDDQとして以下説明する。インピーダンス整合をとるために、前記外部ピン94とグランドGNDとの間に、伝送線路のインピーダンスと等価な抵抗95をボード上で挿入する。

【0111】そして、この外部ピン94に現れる電圧と、基準電位発生回路84の出力電位VOLとを比較器84で比較して、その大小によりカウンタ85をカウントアップまたはダウンする。カウンタ85のバイナリ出力SPは、レプリカ83及び各出力バッファ部80-0, 80-1…の駆動回路81の活性/非活性を制御する。有効なP-MOSFETサイズは、P-MOSFETトータルが、 $WP0 \sim (2^i - 1) * WP0$, WP0ステップ、の範囲を取り得ることになる。

【0112】これにより、伝送線路93-0, 93-1…のインピーダンスとの整合がとれた出力バッファ部80-0, 80-1…のP-MOSFETサイズが決定できる。ここで生成されたバイナリデータSPはレジスタAに保管されると同時に全ての出力バッファ部80-0, 80-1…に転送され、P-MOSFETのサイズをレプリカと同じサイズに制御/決定する。

【0113】ここで、各出力バッファ部80-0, 80-1…の駆動回路81, 82には、図示しない制御回路よりそれぞれ制御信号DP0, DN0, DP1, DN1が供給され、入力モード/出力モードに応じて各出力MOSFETがオン/オフ制御される。入力モードのときは、上記第1実施形態で説明したようにP-MOSFETがオン状態となる。

【0114】上述した操作をチップ(1)及びチップ(2)で行うことにより、前記出力バッファ部80-0, 80-1…のP-MOSFETがプルアップドライバ及び終端抵抗として、伝送線路とインピーダンス整合をとることができる。

【0115】次に、N-MOSFET側のサイズ調整を行う。チップ(1)とチップ(2)を接続する伝送線路のうち、1つをリファレンス用として定義する。まず、チップ(1)の調整を行うこととする。チップ(2)を入力モード状態に設定し、チップ(1)のリファレンスを出力“L”レベルに設定する。

【0116】ここで、出力“L”レベルと基準電位発生回路84の出力電位VOLとを比較器86で比較し、その大小によりカウンタ87をカウントアップまたはダウンする。カウンタ87のバイナリ出力SNは、各出力バッファ部80-0, 80-1…の駆動回路82の活性/非活性を制御する。その結果、有効なN-MOSFETサイズは、N-MOSFETトータルが、 $WN0 \sim (2^j - 1) * WN0$, WN0ステップ、の範囲の値を取り得ることになる。

【0117】このようにして作られたバイナリデータSNは、レジスタBに保管されると同時にすべての出力バッファに転送されN-MOSFETのサイズをレプリカと同じサイズに制御/決定する。これにより、伝送線路のインピーダンスとの整合がとれた出力バッファのN-MOSFETサイズを決定することができる。

【0118】上記操作をチップ(2)でも行うことにより、全てのチップで伝送線路のインピーダンス整合をとることができる。

【0119】なお、本実施形態では、2つのチップだけの場合を説明したか、分岐/スタブ接続の場合には、N-MOSFETサイズ決定時に対象チップ以外のすべてのチップを入力モードに設定すること以外同じ操作で実現できる。3チップの分岐/スタブ接続の例を図7に示す。

【0120】同図において、まず、上記図6の抵抗95に相当するインピーダンス素子をチップごとに1個ずつ設け、各チップでのP-MOSFETのインピーダンス整合を行う(ステップS1)。次いで、チップ(1)を出力モードに、チップ(2), (3)を入力モードに設定し(ステップS2)、チップ(1)のN-MOSFETのインピーダンス整合を行う(ステップS3)。

【0121】その後、チップ(2)を出力モードに、チップ(1), (3)を入力モードに設定し(ステップS4)、チップ(2)のN-MOSFETのインピーダンス整合を行う(ステップS5)。

【0122】さらに、チップ(3)を出力モードに、チップ(1), (2)を入力モードに設定し(ステップS6)、チップ(3)のN-MOSFETのインピーダンス整合を行う(ステップS7)。

【0123】以上のシーケンスが終了すれば、出力インピーダンスの設定は完了する。実際の動作モードでは基準電位を論理レベル ($V_{DDQ}/2$) から、 $V_{DDQ} \times 3/4$ に変更して動作させる。

【0124】また、本実施形態では V_{DDQ} 終端の例を挙げたが、GND 側を終端してもよい。その際には、N-MOSFET から P-MOSFET の順でサイズ決定すればよい。

【0125】以上のような各操作を織り込んだシーケンスなどをチップ内に用意すれば、簡単にインピーダンス整合をとることが可能となる。これは、システムブート時や動作時などにも実行でき、動作環境に対応可能な品質のよい高速インターフェースが実現できる事になる。

【0126】なお、本実施形態では、プッシュプル HSTL ライクなインターフェースを例として説明したが、その他の終端型インターフェースでも、同様の操作を行えば簡単にインピーダンス整合がとれた高品質なインターフェースが実現できることは言うまでもない。

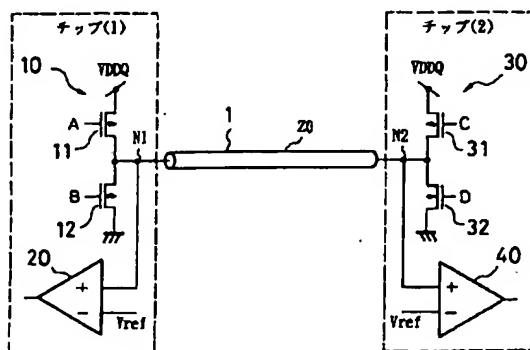
【0127】

【発明の効果】以上詳細に説明したように、第1乃至第3の発明によれば、ボード上に終端抵抗を実装することなく、終端系的高速な入出力インターフェースが実現できる。これにより、システムコストを大幅に削減することができるほか、出力電流も削減できるので、パワーの増大を抑えることも可能になる。また、分岐/スタブ接続の際にも、容易にパラレル終端を実現することができる。

【0128】第4乃至第6の発明によれば、上記効果と同等の効果を奏するほか、適正な出力電位を発生するようにプッシュプル出力バッファの駆動素子のインピーダンス値を制御することができ、高品質な高速インターフェースの実現が可能となる。また、システムの動作環境に適応したインピーダンス整合を実現できる。

【図面の簡単な説明】

【図1】



【図1】本発明の第1実施形態に係るプッシュプル型 HSTL インターフェースを示す回路図である。

【図2】SSTL インターフェースをベースにした応用例を示す図である。

【図3】本発明の第2実施形態に係る入出力インターフェース回路を示す回路図である。

【図4】本発明の第3実施形態に係る入出力インターフェース回路を示す回路図である。

【図5】本発明の第4実施形態に係る入出力インターフェース回路を示す回路図である。

【図6】本発明の第5実施形態に係る半導体システムを示す要部回路図である。

【図7】第5実施形態を3チップの分岐/スタブ接続に応用した場合のシーケンス図である。

【図8】従来の入出力インターフェース回路を示す構成図である。

【図9】従来の各種終端系的高速インターフェース回路を示す構成図である。

【図10】公報に開示された高速インターフェース回路を示す構成図である。

【符号の説明】

10, 30, 50, 10a, 30a プッシュプル出力バッファ

20, 40, 60 差動アンプ

11, 31, 51, 11a, 31a P-MOSFET (第1の駆動素子)

12, 32, 52, 12a, 32a N-MOSFET (第2の駆動素子)

1, 1A, 2 伝送線路

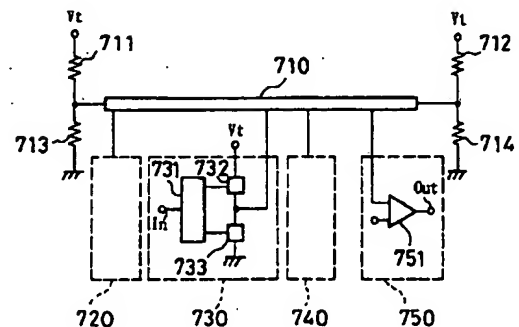
21, 41, 71, 72 スイッチ素子

80-0, 80-1, ... 出力バッファ部

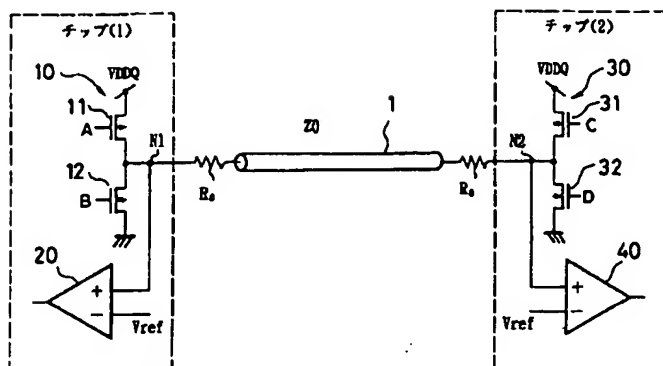
91-0, 91-1 外部ピン

93-0, 93-1 伝送線路

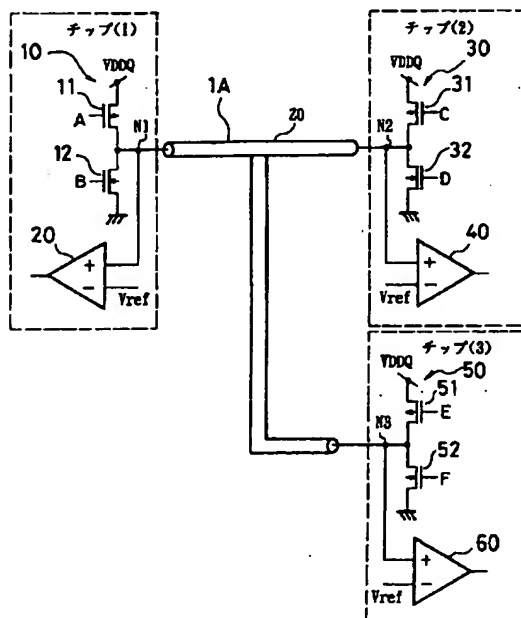
【図10】



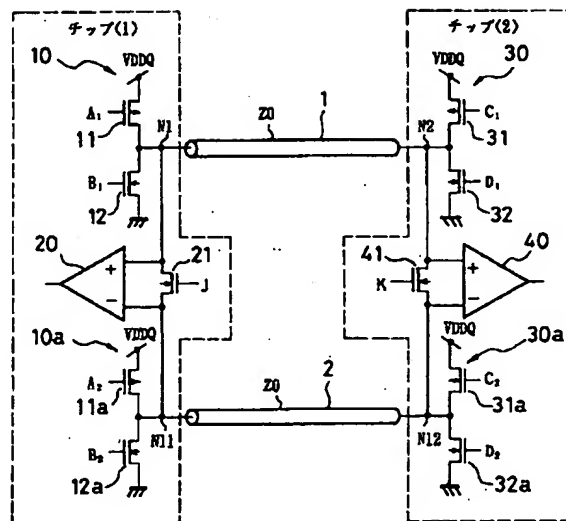
【図 2】



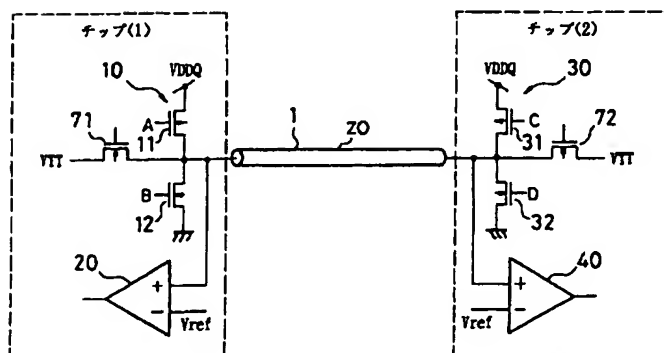
【図 3】



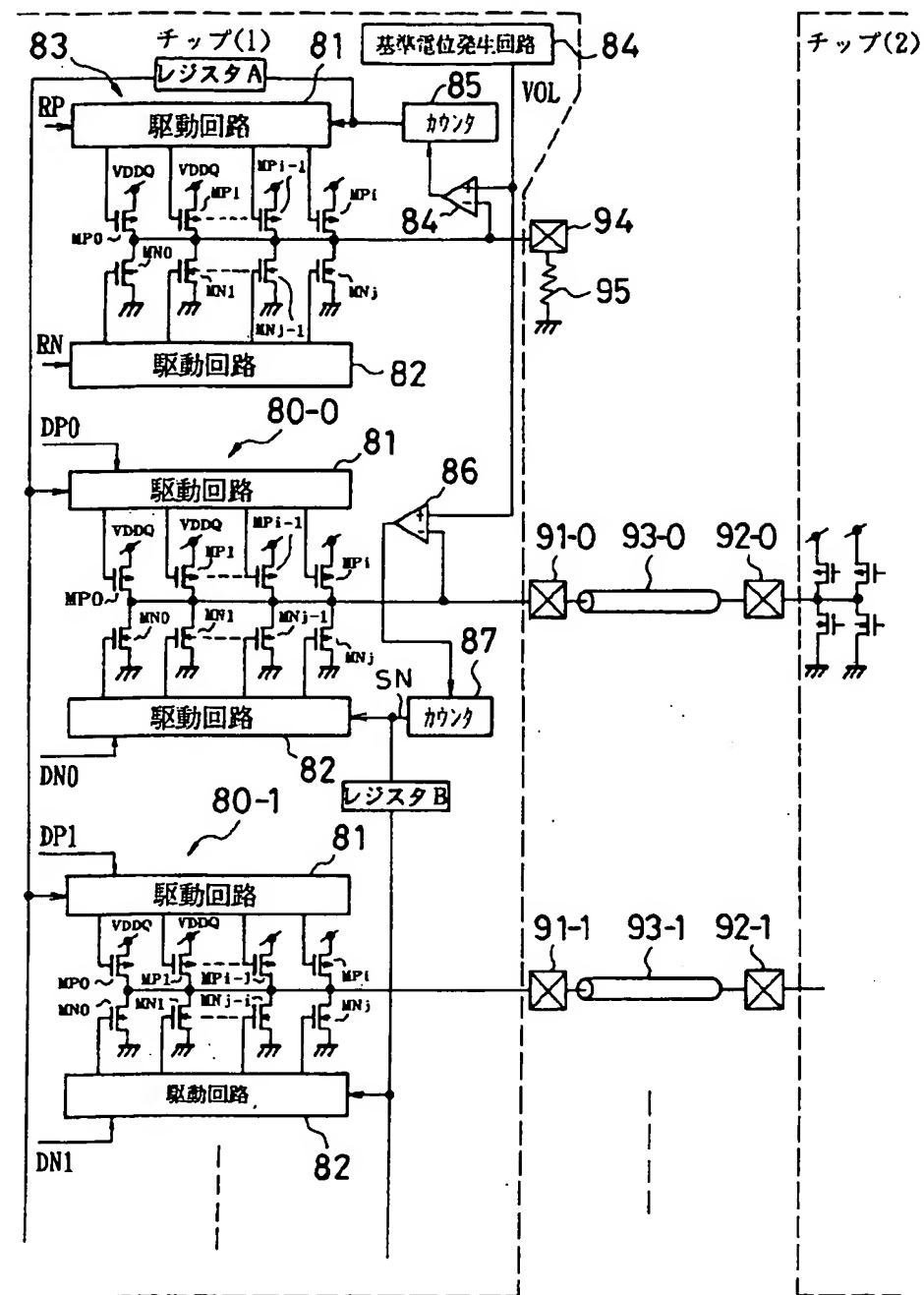
【図 4】



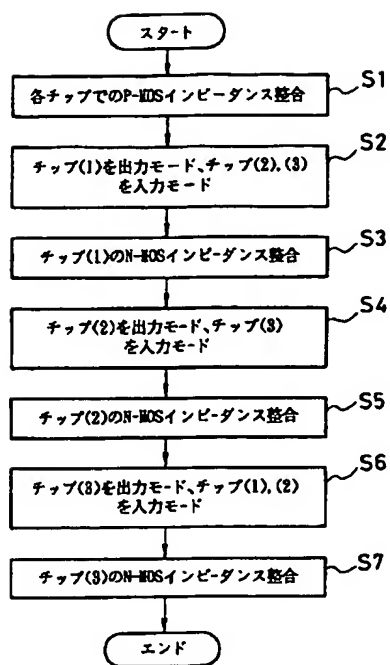
【図 5】



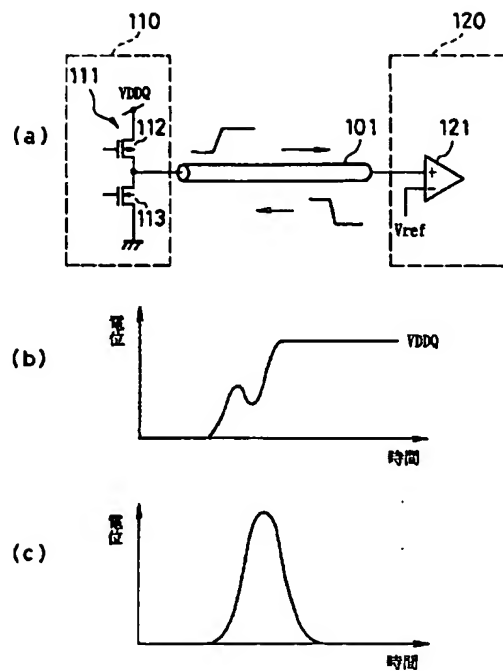
【图6】



【図 7】



【図 8】



【図 9】

